

[19]中华人民共和国专利局

[11] 公开号 CN 1092231A



[12] 发明专利申请公开说明书

[21] 申请号 93121608.7

英語版付



US 07/998300

[51] Int. Cl⁵

H04L 27/22

[43] 公开日 1994 年 9 月 14 日

[22] 申请日 93.12.30

[30] 优先权

[32] 92.12.30 [33] US [31] 07 / 998,300

[71] 申请人 康姆斯崔姆公司

地址 美国加利福尼亚

[72] 发明人 古拉姆兹·伊查克 戈登堡·约夫
拉加夫·斯里 A

[74] 专利代理机构 上海专利事务所

代理人 陈 亮

H04B 1/16

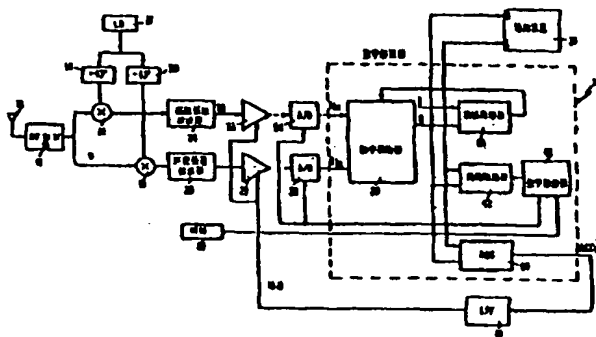
说明书页数:

附图页数:

[54] 发明名称 用户使用的解调器

[57] 摘要

一种对有模拟信号的码元起作用的解调器, 其中包括一对比较价廉的模-数转换器, 用来每一码元只对 I 和 Q 通道信号取样一次。此转换器的输出和表示解调器输入频率、相位校正值的数字信号馈给消旋器, 使其按 CORDIC 函数给出由上述校正值补偿的 I 和 Q 数字信号。还有一数字移相器对至少一个 I 和 Q 数字信号起作用, 并控制上述转换器对输入信号取样的时间。



权 利 要 求 书

1. 一种响应于码元的解调器 所述码元在模拟基带信号中具有一码元率，其特征在于，所述解调器包括模一数转换器装置以及数字信号处理电路，所述模一数转换器装置响应于每个码元仅取样一次的信号，所述数字信号处理电路响应于所述转换器装置的数字输出，且所述模一数转换器装置不能对一速率两倍于或高于码元率的码元进行取样，所述取样频率、码元率和模一数转换器装置类型应当使以两倍速率进行信号取样的可比模一数转换器装置的成本，至少比所述模一数转换器装置的成本约高出 30%。

2. 如权利要求 1 所述的解调器，其特征在于，所述解调器包含于一接收机内，所述接收机响应于由模拟基带信号调制的一载频，且所述接收机包括响应于载频，以取得信号的装置。

3. 如权利要求 1 所述的解调器，其特征在于，所述码元率和取样频率约为每秒 1500 万至 3500 万次。

4. 如权利要求 1 所述的解调器，其特征在于，所述数字处理电路响应于所述转换器装置的数字输出，用以当所述转换器装置对信号取样时控制相应的定时。

5. 如权利要求 1 所述的解调器，其特征在于，所述转换器装置包括含于一芯片上的至少一块模一数转换器集成电路，所述模一数转换器集成电路芯片的成本，不高于用作可比模一数转换器装置的一块模一数集成电路芯片成本的约 70%。

6. 如权利要求 1 所述的解调器，其特征在于，所述基带信号包括因载有该调制基带信号的载频与本振频率源之间的频率和相位误差所产生的残留成分；所述数字处理电路响应于所述转换器装置产生一含有校正频率和相位误差值的另一信号；所述数字处理电路包

括响应于该另一信号的反馈环路，用以产生其数值由所述频率和相位误差确定的一附加信号；所述附加信号控制所述另一信号的值；所述数字处理电路将由所述转换器装置所得数字输出值的函数表示与连续码元进行比较而产生一数字信号，该数字信号的值表示所述码元由转换器装置取样的相应定时要改变；且所述解调器还包括响应于该改变表示数字信号和时钟脉冲的一数控可变移相器，时钟脉冲频率约等于所述转换器码元取样时间控制速率的整数倍。

7. 如权利要求 6 所述的解调器，其特征在于，响应于所述另一信号控制由所述转换器装置取样所述码元的相应定时。

8. 如权利要求 6 所述的解调器，其特征在于，所述模一数转换器装置产生包括第一 I 和 Q 通道数字信号的数字输出，所述数字处理电路产生包括第二 I 和 Q 通道数字信号的另一信号，所述数字处理装置将所述第一 I 和 Q 通道信号与附加信号 ω_1 合，产生与 CORDIC 函数相一致的第二 I 和 Q 通道信号。

9. 如权利要求 8 所述的解调器，其特征在于，响应于所述另一信号控制由所述转换器装置取样的所述码元的相应定时。

10. 如权利要求 6 所述的解调器，其特征在于，所述数字处理电路和数控移相器包含在一单片集成电路芯片上。

11. 如权利要求 10 所述的解调器，其特征在于进一步包括可变增益装置，用以控制由所述转换器装置取样的信号的幅度；所述芯片上的数字处理电路包括一位 $\Sigma-\Delta$ 调制器，它响应于所述数字输出产生一用以控制所述可变增益装置的控制信号。

12. 如权利要求 1 所述的解调器，其特征在于，所述数字处理电路响应于由所述转换器装置产生的数字输出的函数表示产生一控制信号，该控制信号的值表示当所述基带信号由所述转换器装置取样的相应定时要改变；且所述解器还包括响应于该具有在相应定时改变表示值的控制信号，将基带信号的取样脉冲馈送到所述转换器

装置的馈送装置。

13. 如权利要求 12 所述的解调器, 其特征在于, 所述馈送装置包括一位 Σ - Δ 调制器以及响应于该 Σ - Δ 解调器输出信号的一压控振荡器。

14. 如权利要求 12 所述的解调器, 其特征在于, 所述数字处理电路将由所述转换器装置数字输出值的函数表示与连续码元进行比较而产生一数字信号, 该数字信号的值表示所述信号由转换器装置取样的相应定时要改变; 所述解调器还包括响应于该改变表示数字信号和时钟脉冲的一数控可变移相器, 时钟脉冲频率约为用以控制所述转换器信号取样时间的码元率的整数倍。

15. 如权利要求 12 所述的解调器, 其特征在于, 所述一码元的改变表示数字信号作为 (标号 $P(K)$)($P(K-1)$)+(一标号 $P(K-1)$) $P(K)$ 的函数而产生; 其中, $P(K)$ 表示转换器装置对码元 K 的取样值, $P(K-1)$ 表示转换器装置对码元 $(K-1)$ 的取样值。

16. 如权利要求 12 所述的解调器, 其特征在于, 所述一码元的改变表示数字信号通过对许多码元 (标号 $P(K)$)($P(K-1)$)+(一标号 $P(K-1)$) $P(K)$ 的积分而产生; 其中, $P(K)$ 表示转换器装置对码元 K 的取样值, $P(K-1)$ 表示转换器装置对码元 $(K-1)$ 的取样值。

17. 如权利要求 12 所述的解调器, 其特征在于, 所述基带信号包括因载有该基带信号的载频与本振频率源之间的频率和相位误差而产生的残留成分; 所述转换器装置包括用以分别产生旋转 I_{in} 和 Q_{in} 数字信号的第一和第二集成电路模-数转换器, 该 I_{in} 和 Q_{in} 信号因频率和相位误差而旋转; 所述数字处理电路响应于该 I_{in} 和 Q_{in} 数字信号, 产生由 I_{in} 和 Q_{in} 以及频率和相位误差指示所控制的消旋数字信号 I 和 Q ; 所述一码元的改变表示数字信号作为 (标号 $I(K)$)($I(K-1)$)+(一标号 $I(K-1)$) $I(K)$ +(标号 $Q(K)$)($Q(K-1)$)+(一标号 $Q(K-1)$) $Q(K)$ 的函数而产生; 其中, $I(K)$, 表示 I 相对于码元

(K-1)的值, $I(K-1)$ 表示 I 相对于码元(K-1)的值, $Q(K)$ 表示 Q 相对于码元 K 的值, $Q(K-1)$ 表示 Q 相对于码元(K-1)的值。

18. 如权利要求 12 所述的解调器, 其特征在于, 所述基带信号包括因载有该基带信号的载频与本振频率源之间的频率和相位误差而产生的残留成分; 所述转换器装置包括用以分别产生旋转 I_{in} 和 Q_{in} 数字信号的第一和第二集成电路模-数转换器, 该 I_{in} 和 Q_{in} 信号因频率和相位误差而旋转; 所述数字处理电路响应于该 I_{in} 和 Q_{in} 数字信号, 产生由 I_{in} 和 Q_{in} 以及频率和相位误差指示所控制的消旋数字信号 I 和 Q; 所述一码元的改变表示数字信号通过对许多码元(标号(K)) $I(K-1) + (-\text{标号 } I(K-1))I(K) + (\text{标号 } Q(K))Q(K-1) + (-\text{标号 } Q(K-1))Q(K)$ 的积分而产生; 其中, $I(K)$ 表示 I 相对于码元 K 的值, $I(K-1)$ 表示 I 相对于码元(K-1)的值, $Q(K)$ 表示 Q 相对于码元 K 的值, $Q(K-1)$ 表示 Q 相对于(K-1)的值。

19. 如权利要求 1 所述的解调器, 其特征在于, 所述基带信号通过 ω_i 合由码元调制的信号波与本振频率源而产生, 所述数字处理电路响应于所述变换器装置产生另一信号, 该另一信号具有校正所述载频和本振频率源之间的频率和相位差的数值。

20. 如权利要求 19 所述的解调器, 其特征在于, 所述数字处理电路产生一附加信号, 该附加信号含有表示校正载频和本振频率源之间的频率和相位差的数值, 且该附加信号在所述数字处理电路内反馈, 并与所述转换器装置的数字输出结合产生所述另一信号。

21. 如权利要求 20 所述的解调器, 其特征在于, 所述模-数转换器装置产生作为第一 I 和 Q 通道信号的数字输出, 所述数字处理电路产生作为第二 I 和 Q 通道信号的另一信号, 所述数字处理装置 ω_i 合第一 I 和 Q 通道信号与附加信号, 产生与 CORDIC 函数相一致的第三 I 和 Q 通道信号。

22. 如权利要求 19 所述的解调器, 其特征在于, 所述模-数转

换器装置产生作为第一 I 和 Q 通道信号的数字输出, 所述数字处理电路产生作为第二 I 和 Q 通道信号的另一信号, 所述数字处理装置 ω_1 合第一 I 和 Q 通道信号与附加信号、产生与 CORDIC 函数相一致的第二 I 和 Q 通道信号。

23. 如权利要求 19 所述的解调器, 其特征在于, 响应于所述数字输出的函数, 控制由所述转换器装置取样所述码元的相应定时。

24. 如权利要求 23 所述的解调器, 其特征在于, 所述数字处理电路将由所述转换器装置数字输出值的函数表示与连续码元进行比较而产生一数字信号, 该数字信号的值表示所述信号由转换器装置取样的相应定时要改变; 所述解调器还包括响应于该改变表示数字信号和时钟脉冲的一数控可变移相器, 时钟脉冲的频率为用以控制所述转换器信号取样时间的速率的整数倍。

25. 如权利要求 24 所述的解调器, 其特征在于, 响应于所述另一信号, 控制由所述转换器装置取样所述码元的相应定时。

26. 一种用以接收含载频 ω_1 的已调输入信号的接收机, 其特征在于包括:

具有标称上等于 ω_1 的一频率 ω_0 的本机振荡器;

响应于该输入信号和本机振荡器, 以产生标称相位互相移位 90° 的 I 和 Q 通道基带模拟信号的装置, 该 I 和 Q 通道基带信号包括因载频与本机振荡器频率之间频率和相位的误差而产生的残留成分;

第一和第二模一数转换器, 用以每个码元仅对 I 和 Q 通道基带模拟信号取样一样, 以产生其数值取决于所取样的 I 和 Q 模拟信号的数值的第一 I 和 Q 通道数字信号。

响应于第一 I 和 Q 通道数字信号, 以产生含有校正频率和相位误差数值的第二 I 和 Q 通道数字信号的反旋装置;

响应于至少一个 I 和 Q 通道数字信号, 以控制模一数转换器装

置取样 I 和 Q 通道基带信号的装置；

响应于第二 I 和 Q 通道数字信号的输出装置。

27. 如权利要求 26 所述的接收机，其特征在于，所述反旋装置包括响应于第二 I 和 Q 通道数字信号，以产生表示频率和相位误差的一附加数字信号的反馈装置，所述反旋装置响应于第一 I 和 Q 数字信号和该附加信号，控制第二 I 和 Q 通道数字信号的值；所述附加数字信号直接由反馈装置产生，并控制所述第二 I 和 Q 通道数字信号的产生，且无需转换到模拟信号。

28. 如权利要求 26 所述的接收机，其特征在于，每个所述模一数转换器均为一集成电路，该每个模一数转换器集成电路的取样频率、码元率和类型应使以两倍速率取样码元的相可比模一数转换器集成电路的成本比所述模一数转换器装置的模一数转换器集成电路的成本高出至少 30%。

29. 如权利要求 28 所述的接收机，其特征在于，所述码元率约为每秒 1500 万至 3500 万次。

30. 一种响应于模拟信号码元的解调器，该模拟信号含有因载有已调信号的载频与本振频率源之间的频率和相位误差而产生的残留分量，其特征在于包括：响应于所述模拟信号，以产生其数值取决于模拟信号取样幅度和上述残留分量的第一 I 和 Q 通道数字信号的装置；响应于第一 I 和 Q 通道数字信号，以产生校正频率和相位误差的第二 I 和 Q 通道数字信号以及其数值表示频率和相位误差的第三数字信号的装置；所述第二 I 和 Q 通道数字信号通过按 CORDIC 函数 ω_i 合第一 I 和 Q 通道数字信号与第三数字信号而产生。

31. 如权利要求 30 所述的解调器，其特征在于，所述码元具有一码元率，所述用以产生第一数字信号的装置以接近该码元率的速率取样该模拟信号幅度，且所述解调器还包括响应于至少一个所述

数字信号，以控制所述模块模拟信号取样时间的装置。

32. 如权利要求 30 所述的解调器，其特征在于，所述码元具有一码元率，所述用以产生第一数字信号的装置以接近于该码元率的速率取样模拟信号幅度，且所述解调器还包括响应于至少一个第二数字信号，以控制模拟信号在一码元期间仅被取样一次的时间。

33. 如权利要求 30 所述的解调器，其特征在于，所述码元具有一码元率，所述用以产生第一 I 和 Q 通道数字信号的装置包括以接近于该码元率的速率取样 I 和 Q 通道模拟基带信号的模一数转换器装置，所述每个码元仅由所述转换器装置取样一次，且在所述接受控取样频率下对 I 和 Q 通道模拟基带信号的取样次数响应于至少一个 I 和 Q 通道数字信号的函数。

34. 如权利要求 33 所述的解调器，其特征在于，所述模一数转换器装置包括一集成电路模一数转换器，该集成电路模一数转换器不能以高于码元率的频率取样码元，所述码元率和集成电路模一数转换器应使能以两倍码元率取样码元的可比模一数转换器集成电路的成本高于所述集成电路模一数转换器成本至少约 30%。

35. 如权利要求 30 所述的解调器，其特征在于，所述码元具有一码元率，所述用以产生第一 I 和 Q 通道数字信号的装置包括以接近于该码元率的速率取样 I 和 Q 通道模拟基带信号的模一数转换器，所述每个码元仅由所述转换器装置取样一次，且在所述接受控取样频率下对 I 和 Q 通道模拟基带信号的取样次数响应于第二 I 和 Q 通道数字信号。

36. 一种响应于输入信号的接收机，所述输入信号含有已调制于一载频上的码元，其特征在于包括：

一本振频率源，其输出标称频率允许在一组数值中变化；

用以 ω_1 合输入信号与本振源的输出，以产生其数值取决于调制方式以及载频和本振源的频率和相位的第一 I 和 Q 通道数字信号

的装置；

响应于第一 I 和 Q 通道数字信号，以产生第二 I 和 Q 通道数字信号以及第三数字信号的装置，所述第三数字信号的数值取决于载频和本振源的相应频率和相位，所述第二 I 和 Q 通道数字信号的数值补偿所述本振源标称频率对一组数值的偏差，所述第二 I 和 Q 通道数字信号通过按 CORDIC 函数组合第一 I 和 Q 通道数字信号与第三数字信号而产生。

37. 一种响应于模拟信号码元的解调器，该码元具有一码元率，其特征在于包括：

响应于以接近于码元率的频率取样的该模拟信号，即每个码元仅对模拟信号取样一次，以产生其数值取决于该模拟信号的取样幅度的第一 I 和 Q 通道数字信号的装置；

响应于第一 I 和 Q 通道数字信号，以产生第二 I 和 Q 通道数字信号和第三数字信号的装置，所述第三数字信号具有表示第一 I 和 Q 通道数字信号的频率和相位要进行校正的数值，所述第二 I 和 Q 通道数字信号的值由第三数字信号补偿；

具有第一输入和第二输入的一可变数字移相器，其第一输入响应于至少一个数字信号，其第二输入响应于时钟脉冲，且所述时钟脉冲具有接近于码元率的频率，用以通过模一数转换器装置，以约为码元率整数倍的频率控制对所述信号的取样次数，所述取样次数随移相器第一输入值的变化而改变。

38. 如权利要求 37 所述的解调器，其特征在于，通过按 CORDIC 函数组合第一 I 和 Q 通道数字信号与第三数字信号而产生第二 I 和 Q 通道数字信号。

39. 如权利要求 37 所述的解调器，其特征在于，所述模一数转换器装置以接近于码元率的频率取样 I 和 Q 通道模拟信号，由此每个码元仅由所述转换器装置按接近于码元率的速率取样一次，所述

I 和 Q 通道模拟信号的取样次数经控制响应于至少一个第二 I 和 Q 通道数字信号。

40. 如权利要求 39 所述的解调器, 其特征在于, 所述模一数转换器装置包含于一集成电路上, 所述模一数转换器装置不能以两倍或更高于码元率的频率取样码元, 所述码元率和模一数转换器装置应使能以两倍于码元率的频率取样码元的可比模一数转换器集成电路的成本比所述集成电路模一数转换器装置的成本至少约高于 30%。

41. 如权利要求 37 所述的解调器, 其特征在于, 所述数字移相器以及用以 ω_c 合第一 I 和 Q 数字信号与第三数字信号的装置均包含于一单片集成电路芯片上。

42. 如权利要求 41 所述的解调器, 其特征在于进一步包括用以控制由所述模一数转换器装置取样的信号幅度的可变增益装置, 所述集成电路芯片包括一数字处理电路, 它响应于至少一个 I 和 Q 通道数字信号, 以产生用以控制该可变增益装置的增益的控制信号。

43. 如权利要求 42 所述的解调器, 其特征在于, 所述用以产生增益控制信号的数字处理电路包括一个一位 $\Sigma-\Delta$ 调制器。

44. 如权利要求 37 所述的解调器, 其特征在于; 所述第一输入响应于至少一个所述数字信号值的函数表示与所述转换器装置所作取样(K)和(K-1)的比较, 所述第一输入作为(标号 $P(K)$) $P(K-1) + (-\text{标号 } P(K-1))P(K)$ 的函数而产生, 其中, $P(K)$ 表示转换器装置对码元 K 的取样值, $P(K-1)$ 表示转换器装置的码元(K-1)的取样值。

45. 如权利要求 37 所述的解调器, 其特征在于, 所述第一输入响应于对第二 I 和 Q 数字信号值表示与转换器装置所作取样(K)和(K-1)的比较, 所述第一输入作为(标号 $I(K)$) $I(K-1) + (-\text{标号 } I(K-1))I(K) + (\text{标号 } Q(K))Q(K-1) + (-\text{标号 } Q(K-1))Q$

(K)的函数而产生；其中， $I(K)$ 表示 I 相对于码元 K 的值， $I(K-1)$ 表示 I 相对于码元(K-1)的值， $Q(K)$ 表示 Q 相对于码元 K 的值， $Q(K-1)$ 表示 Q 相对于码元(K-1)的值。

46. 如权利要求 37 所述的解调器，其特征在于，所述模拟信号经 ω_i 合载有调制模拟信号的载频与本振源输出而产生，该本振源输出的标称频率可在 ω_i 数值内变化；所述第一 I 和 Q 通道数字信号的数值取决于调制方式以及载频和本振源的相应频率和相位；第三数字信号的值表示载波和本振源相应频率和相位；所述第二 I 和 Q 通道数字信号的值补偿本振源标称频率在上述 ω_i 数值内的变化。

47. 如权利要求 37 所述的解调器，其特征在于其第一输入响应于所述两个第二数字信号。

说明书

用户使用的解调器

本发明一般涉及接收机和解调器，它们使用响应于包含模拟信号的码元的数字处理，尤其涉及这种设备，它至少包括下列装置中的一种：(a)比较价廉的模—数转换器，用于对每个码元仅取样一次；(b)按CORDIC函数工作的消旋器；(c)数字消旋器，产生表示频率和相位校正值的数字信号，输入到与数字移相器相连的解调器，以控制模—数转换器对该输入取样的时间。

图1是使用数字处理的已有相移键控接收机的框图。此接收机响应入射到天线10上的带噪声载频抑制四相相移键控(QPSK)调制电磁波。入射到天线10上的电磁波转换成电信号，由高(RF)、中(IF)放级12放大。该电磁波载波频率具有在电磁波QPSK发射机中确定的精确控制载波频率，并包括具有预定频率例如20 MHz的码元。

高中放级12的输出信号并行地施加于混频器14和16，并分别响应于 $\pm 45^\circ$ 移相器18和20产生的相互正交的振荡信号。移相器18和20又响应于压控可变频率本机振荡器22，该振荡器22的输出频率近似等于高、中放级12的抑制载频。混频器14和16的输出分别施加到与发射波形匹配的低通滤波器24和26。该低通滤波器24和26产生表示码元的可变模拟基带信号，这些码元又会处理成表示输出信号的信息。滤波器24和26的基带输出信号一般称为I和Q通道信号。

滤波器24和26产生的I和Q通道信号分别通过增益可变放大器23和25施加到模—数转换器28和30，以可变的频率，一般约

为码元率的两倍，对基带 I 和 Q 信号幅度取样。控制放大器 23 和 25 的增益，使提供给转换器 28 和 30 的模拟信号的最大幅度在转换器能控制的佳范围内。在正常操作时，转换器 28 和 30 对提供给它们的 I 和 Q 通道信号进行每个码元两次的取样，其位置大致在码元中央和在两相邻码元之间。转换器 28 和 30 输出表示施加到转换器上的每个码元的幅度和极性的多位数字输出信号。包括在分开的集成电路芯片上的转换器 28 和 30 是相当昂贵的，因为它们必须以接近 40 MHz 的频率对基带 I 和 Q 通道模拟信号进行取样。

转换器 28 和 30 产生的 I 和 Q 数字信号并行地施加到载波跟踪器 32、码元跟踪器 34 和幅度跟踪器 36，这些均为包括在单片常规集成电路芯片上的数字处理电路。载波跟踪器 32 产生一个数字信号，其值表示振荡器 22 的输出和中、高放级 12 的抑制载频输出之间频率和相应的极性差别和数量差别。码元跟踪器 34 产生一个数字信号，其值表示转换器 28 和 30 取样时间相对于这些取样时间的理想位置的极性误差和数量误差。幅度跟踪器 36 响应于转换器 28 和 30 的 I 和 Q 输出信号以及最佳幅度的参考值，在该参考值上，转换器应当工作，并产生用于增益可变放大器 23 和 25 的控制信号。转换器 28 和 30 和 I 和 Q 输出信号还施加于输出处理电路 37。通常，数字信号具有 8 至 10 位，以便特别为放大器 23 和 25 的控制提供必要的分解精度。

跟踪器 32、34 和 36 产生的数字信号分别施加于模一数转换器 38、40 和 42，这些模一数转换器的模拟输出信号分别施加于低通滤波器 44、46 和 48。滤波器 44 的输出信号控制振荡器 22 的频率和相位，使它们完美地等于高、中放级 12 所得抑制载频的频率和相位。滤波器 46 的输出提供给压控可变频率振荡器 50，其输出控制时钟源 51 产生的时钟脉冲的相位。源 51 产生的时钟脉冲并行地施加于模一数转换器 28 和 30 的时钟输入端，以在转换器对提供给它们的

模拟输入进行取样时进行控制。提供给转换器 28 和 30 的时钟输入端的时钟脉冲的频率近似等于施加于转换器的码元率的 2 倍。低通滤波器 48 的输出并行地提供给增益可变放大器 28 和 25 的增益控制输入端。

尽管图 1 的接收机工作令人满意，用作日常消费品却极其昂贵，其中涉及制造上百万个装置，因而即使每个装置节省几分钱也会很要紧。与图 1 所示的接收机关联的主要费用花在要求模一数转换器 28 和 30 进行的对每个码元的两次取样。模一数转换器及其驱动的数字处理电路，其成本随着工作频率的提高显著地增加。需要三个模一数转换器及其驱动的数字处理电路，其成本随着工作频率的提高显著地增加。需要三个模一数转换器和与其相联的低通滤波器也明显地增加了图 1 所示接收机的成本。尤其，转换器 46 必须输出一个至少 8 位的信号来适当地控制增益可变放大器 23 和 25。

因此，本发明的一个目的在于提供一种比较便宜的新型改进的码元调制信号数字处理接收机和解调器。

本发明的另一个目的在于提供一种新型改进的码元调制信号数字处理接收机和解调器，其中，对每个码元的模拟信号仅仅作一次抽样。

本发明的再一个目的在于提供一种新型改进的码元调制信号数字处理接收机和解调器，其中仅包括控制载频和码元跟踪的数字处理。

本发明的进一步目的在于提供一种新型改进的码元调制信号数字处理接收机和解调器，其中接收机使用频率固定的本机振荡源数字电路，用于校正模一数转换器输出的振荡源所得实际频率和信号调制载频之间的频率和相位误差。

本发明的又一个目的在于提供一种新型改进的码元调制信号数字处理接收机和解调器，其中接收机使用了数字处理电路，用比较

价廉的数—模转换器来控制施加到模—数转换电路上的基带模拟信号的幅度。

按照本发明的一个方面，响应于模拟基带信号的码元的解调器包括比较价廉的模—数转换器，它响应于用于对信号仅作每个码元一次取样的信号。为使成本降低到最小，模—数转换器不能以比码元率高 2 倍的频率对码元取样。取样频率、码元率和模—数转换器类型之间的关系是一种能以 2 倍码元率对信号取样的可比模—数转换器，其成本比这种模—数转换器的成本至少约高 30%。对于日常消费器来说，这成本 30% 的增加是一个值得重视的因素。在本发明的一个实际的实施例中，设计成每秒处理 20 兆个码元，能每秒取样 20 兆次的而不能每秒取样 40 兆次的模—数转换器，其成本是能每秒取样 40 兆次的可比模—数转换器的成本的 20%，可比转换器是指具有相同参数（例如分解精度和幅度输入范围）但取样频率不同的转换器。因此，相对于已有的市售接收机一般每个码元取样两次，每个码元仅取样一次达到了节省集成电路模—数转换器成本 80%。

虽然我们了解已有取样频率为每个码元取样一次的转换器，但这种已有技术有缺陷，不适合日常消费用，例如数字 QPSK 电视接收。Mueller 等人在 1976 年 5 月出版的 IEEE 通信会刊第 COM-24 卷第 516—531 页揭示了脉冲幅度调制系统的数字码元率定时恢复方法，但其中定时误差难以测定。其所得估计值指示每个码元的到达时间，但有大的偏差。Jennings 等人在 1985 年 7 月出版的 IEEE 通信会刊第 COM-33 卷第 729—731 页揭示了一种系统，可提供模—数转换器仅在接收到一些数字序列之后对每个码元进行一次取样的定时信息。这些方案中没有一个可实际用于低成本日常消费品。

按照本发明的又一方面，响应于具有因信号调制载频和本机频率源之间的频率和相位误差引起的残留分量的模拟信号码元的解调器或接收机包含响应于该模拟信号产生第一 I 和 Q 通道数字信号

的装置，而且第一 I 和 Q 通道数字信号的值由包括残留分量的模拟信号的取样幅度决定。响应于第一 I 和 Q 通道数字信号的装置产生频率和相位误差已校正的第二 I 和 Q 通道数字信号，又产生第三数字信号，其值表示频率和相位误差。通过把第一 I 和 Q 通道数字信号根据 CORDIC 函数与第三数字信号合并产生第二 I 和 Q 通道数字信号，第二 I 和 Q 通道数字信号的类型一般如 Voler 在 1959 年 9 月出版的电子计算机 IRE 会刊第 330—334 页中所揭示。

已有解调器通常用的第二 I 和 Q 通道数字信号简单产生方法是用查表只读存储器(ROM)来取得代表频率和相位误差表示角正弦和余弦值的信号。从 ROM 中读取的值根据一对方程式与第一数字信号值合并来产生第二 I 和 Q 数字信号。然而，已有的方案需要极其大量的半导体构件。不用查表方法而用 CORDIC 函数来解方程式，可以节省约 50% 门电路数量。最好把 CORDIC 函数方案和以接近码元频率的频率对模拟信号取样结合到一个装置中，以降低总成本。

解调器最好包括在接收机内，该接收机具有(1)本机频率源，输出标称频率，该频率易按一 ω_c 值进行变化；(2)把包括有调制在载频上的码元的输入信号与本机频率源输出合并的装置。I 和 Q 通道数字信号的值由调制方式以及载频和本机频率源的频率和相位决定。第三数字信号值补偿第二 I 和 Q 通道数字信号的值。可变数字移相器的第一和第二输入分别响应于数字信号和时钟脉冲二信号的至少一个，时钟脉冲近似地为码元率的整数倍(包括 1 倍)，由接近该频率的信号模一数转换装置控制取样时间，因此取样时间随移相器第一输入端的值的变化而变化。这种与对每个码元进行一次取样相结合的控制取样时间和补偿频率和相位误差的数字方法不需要模一数转换器以及额外的低通滤波器，而只要廉价的模一数转换器。通过使用 CORDIC 函数和比较价廉的 1 位 $\Sigma-\Delta$ (sigma-delta) 调

制器产生用于放大器的增益控制信号，来控制施加于模一数转换器的模拟信号的幅度，这样可节省更多的费用。

在一个最佳施实施例例中，数字移相器的第一输入端响应于一函数表示值的比较，该函数的值至少有一个对应于转换装置所取的不同标样(K)和(K-1)的数字信号值。第一输入信号根据函数(标号 $(P(K))P(K-1) + (-\text{标号 } P(K-1))P(K)$)得出，其中， $P(K)$ 是转换装置对码元K所取标样的表示值， $P(k-1)$ 是转换装置对码元(K-1)所取标样的表示值。对第一输入端的控制最好响应于一个或两个第二数字信号。

根据本发明的一个具体的方面，载频为 ω_i 的已调输入信号接收机包括标称频率 ω_o 为 ω_i 的本机振荡器。根据输入信号和本机振荡器，产生I和Q通道基带模拟信号，I和Q通道基带信号包括因载频和本机振荡器频率和相位之间的误差引起的残留分量。第一和第二模一数转换器以每个码元仅一次的方式分别对I和Q通道基带模拟信号取样，以产生第一I和Q通道数字信号，其值由经取样的I和Q模拟信号值决定。消旋器装置根据第一I和Q通道数字信号产生第二I和Q通道数字信号，其值已校正频率和相位误差。模一数转换装置对I和Q通道基带信号的取样时间控制根据I和Q通道数字信号中的至少一个进行。输出装置根据第二I和Q通道数字信号产生与载频所调信息相似的信息。

消旋器最好包括反馈装置，该反馈装置根据第二I和Q通道数字信号产生进一步指示频率和相位误差的数字信号。消旋器根据第一I和Q数字信号和进一步指示信号控制第二I和Q通道数字信号的值。反馈装置直接产生此进一步指示的数字信号以控制第二I和Q通道数字信号的产生，不必转换为模拟信号。

本发明的上述和更进一步目的、特征和优点从下列对几个具体实施例的详细描述，尤其是结合附图的详细描述，将变得更明显。

如前所述图 1 是已知的使用数字处理电路的相移键控接收机和解调器的框图；

图 2 是本发明的使用数字处理电路的接收机和解调器最佳实施例的框图；

图 3 是应用在图 2 的消旋器的框图；

图 3A 是图 3 消旋器的一个单元级的框图；

图 4 是应用在图 2 的码元跟踪器的框图；

图 5 是图 4 的误差量度计算器的框图；

图 6 是应用在图 2 中的载频跟踪器的框图；

图 7 是应用在图 2 中的幅度跟踪器的框图；

图 8 是应用在图 2 中的备用码元跟踪器的框图。

现在参见图 2, 其中, 本发明的最佳实施例的接收机和解调器的前端部分基本上与图 1 所示的已有的接收机的前端部分相同, 也包括天线 10、高、中放级 12、混频器 14 和 16、 $+45^\circ$ 和 -45° 移相器 18 和 20、匹配低通滤波器 24 和 26 和增益可变放大器 23 和 25。频率可变的压控振荡器 22 由本机振荡器 21 代替, 它输出的频率等于高、中放级 12 的固定频率输出, 振荡器 21 没有控制输入端。图 2 的接收机和解调器较适合日常消费用, 振荡器 21 的频率没有特殊稳定措施, 使用期间允许相当大的变动, 而且经得起因制造容差引起的装置与装置之间的不同。

匹配滤波器 24 和 26 的基带、模拟 I 和 Q 通道输出信号分别施加于模一数转换器 54 和 56。转换器 54 和 56 在匹配滤波器 24 和 26 所得 I 和 Q 四相相移键控模拟信号的每个码元期间, 仅对滤波器输出信号取样一次。为使费用降到最低, 转换器 54 和 56 不能与已有技术的转换器 28 和 30 的要求一样对提供给它们的信号中的每个码元取样两次。因此, 转换器 54 和 56 以及它们驱动的数字电路的成本显著地低于转换器 28 和 30 以及它们驱动的数字电路的成本。图

2 和 I 和 Q 基带信号需要每个码元仅被转换器 54 和 56 取样一次, 这是因为, 下文所述应用在图 2 的码元跟踪处理的属性。

在以 20 MHz 进行取样的一个最佳实施例中, 各转换器 54 和 56 为 SONY 的 CXD 1172 AM, 能以 40 MHz 进行取样的可 46SONY D1179Q 或 TRW 1175 N2C40 转换器的成本高于 SONY CXD 1172AM 约 400%。虽然本发明尤其适用于每秒处理 15—35 兆个码元, 但许多原理可适用于其码元率范围。

转换器 54 和 56 产生数字信号, 其值表示被它们取样的模拟输入信号的极性和幅度。在最佳实施例中, 每个转换器 54 和 56 对每个取样产生一个 6 位信号。为了降低分解精度, 每个转换器 54 和 56 能根据各个取样产生一个 4 位信号。

转换器 54 和 56 的 I_{in} 和 Q_{in} 通道数字输出信号的幅度由下列因素确定: (a) 提供给混频器 14 和 16 的载频抑制 QPSK 调制; (b) 本机振荡器 21 输出的频率和相位相对于高、中放级 12 提供给混频器 14 和 16 的抑制载频的频率和相位之差引起的误差分量; (c) 码元率和转换器 54 和 56 取样频率之差引起的误差分量。 I_{in} 和 Q_{in} 信号提供给包括在单片集成电路芯片上的定制大规模集成数字处理电路 57。电路 57 包括消旋器电路 58, 该电路响应于 I_{in} 和 Q_{in} 以及表示频率和相位差的误差分量的数字信号电路 58 响应于其输入信号, 以根据下式产生数字输出信号:

$$I = I_{in} \cos \Phi - Q_{in} \sin \Phi \quad (1)$$

$$Q = Q_{in} \cos \Phi + I_{in} \sin \Phi \quad (2)$$

按本机振荡器 21 的输出频率 (ω_o) 和放大器 12 的抑制载频输出频率 (ω_c) 之间的频率和相位偏移校正电路 58 的 I 和 Q 数字输出信号。根据下文描述的 CORDIC 函数计算 I 和 Q 的值, 与已有的查找表或泰勒级数方式相比 46 费用显著降低, 因为相对于这些做法, CORDIC 的做法减少了约 50% 的门电路数。

电路 58 的 I 和 Q 输出信号并行地施加于输出装置 37、载频跟踪器 60、码元跟踪器 62 和自动增益控制器，后三者装于包含处理电路 57 的单块集成电路芯片上。载频跟踪器 60 产生一数字输出信号，该信号有表示本机振荡器 21 与高、中入级 12 抑制载频之间频率和相位差值 Φ 的极性和幅度位，并作为相位输入信号施加到数字消旋器 58，而不必转换成模拟信号，这有助于降低成本。

码元跟踪器 62 的数字输出信号具有表示校正施加到模一数转换器 54 和 56 上的各码元取样所需时移的极性和幅度，该数字输出信号为数字异步移相器 66 的控制输入，异步移相器 66 包括在单片集成电路芯片上的数字处理电路 57 内。移相器 66 最好是名称为“异步数字移相器”的共同待批申请中描述的类型，(由 Goldenberg 等人于 1992 年 12 月 23 日申请，一起作了转让)。移相器 66 还响应于时钟源 68，时钟源 68 的频率略高于提供给模一数转换器 65 和 56 的基带 I 和 Q 通道信号的码元频率，或者在接近码元率的整数倍(大于 1 倍)的频率进行某些操作的情况下，时钟 68 的频率接近于码元率的倍数，因而移相器 66 包括一分频器，其分频系数等于此倍数，以产生施加到转换器的取样。移相器 66 根据码元跟踪器 62 的输出，在时钟源 68 的脉冲施加于模一数转换器 54 的时钟输入端或取样控制输入端时对每个码元进行一次控制。

自动增益控制器 64 根据消旋器 58 的 I 和 Q 输出，产生控制放大器 23 和 25 的增益的信号。控制器 64 包括比较价廉的一位 $\Sigma-\Delta$ 调制器，最好是 Agranal 等人撰写的“ $\Sigma\Delta M$ 的设计方法”一文中描述的类型(该文刊载在 1983 年 3 月第三卷的 IEEE 通信会刊的第 360—369 页上)，这样就不需要图 1 的传统数一模转换器 42 必须使用的 8—10 位数字信号。控制器 64 内的调制器形成的可变频率恒幅、恒宽输出脉冲施加到低通滤波器 70，该低通滤波器 70 有一提供给放大器 23 和 25 的增益控制输入的模拟输出。

现在参见图 3。这是转换器 58 的粗略框图，用来根据 I_{in} 、 Q_{in} 和 Φ 按照方程式(1)和(2)计算 I 和 Q 的值。计算 I 和 Q 值简单的方法是使用查表法或正弦、余弦乘法器来计算方程式(1)和(2)中的 $\sin \Phi$ 和 $\cos \Phi$ 值。然而，这些简单的方法使用了大量的集成电路元件。用如 Volder 所述的 CORDIC 函数方法，可以减少集成电路元件的数量约 50%，显著地节省了成本。

图 3 的 CORDIC 计算机包括级联单元级 80.0、80.1、80.2、... 80.K...80.(M) (其中 M 为奇整数)。这样，单元级 80.0 响应于模一数转换器 54 和 56 的 I_{in} 和 Q_{in} 输出，其后的单元级 80.K 响应于单元级 80.(K-1) 的输出信号 $I(K-1)$ 和 $Q(K-1)$ 。连接在奇数单元级输出和相邻的较高偶数单元级之间的寄存器 80.1...81.p...81.(M-2) (其中 P 和 M 为奇整数，在图 3 的电路中单元级 80 为偶数)，用与转换器 54 和 56 取样频率相同的频率触发。另外，单元级 80.0...80.K...80.M 分别响应于 ζ 计算器 82 产生的值 ζ_0 、... ζ_K ... ζ_M ， ζ 计算器 82 响应于载频跟踪器 60 的 Φ 输出信号(用 2 的补数记数法)和移相器 62 提供给转换器 54 和 56 的取样脉冲。 ζ 计算器 82 根据 Φ 的值为单元级 80.0, 80.1, 80.2...80.K...80.M 中每一个级产生一个可以为 0 也可以为 1 的一位 ζ 值。

在稳定状态下，对提供给转换器 54 和 56 的模拟信号的每个码元时间计算一次 ζ 值。对于每组 I_{in} 和 Q_{in} ，单元级 80.M 产生一 ω_1 作为消旋器 58 的输出的 I 和 Q 值。 ζ 值是载频跟踪器 60 所得 Φ 的最高有效位；与级 80.1 关联的 ζ_1 值是 Φ 中第二最高有效位；与 ζ_2 — ζ_M 分别相关联的是值 Φ_2 — Φ_M 。 Φ_2 值等于 Φ 值，其两个最高有效位被舍去，而第三最高有效位在数字值上取反。单元级 80.2—80.M 的各个 ζ 值与预定角 α_j 相关联，所以用于单元级 80.2 的 α_2 为 26.5° ，用于单元级 80.3 的 α_3 值为 14.04° 等，所以 $\alpha_j = \arctan(1/2^{j-1})$ ， j 从整数 $2 \cdots K \cdots M$ 中选择。在一个最佳实施例中， $M=7$ ，所以有 8 个

单元级 80, 即 80.0—80.7。

在选择的位置位和极性反转之后, 单元级 80.2—80.M 的输入按 ζ 的函数 ω_i 合, 即

$$I_K = I_{K-1} + (1 - 2\zeta_K) Q_{K-1} 2^{-(K-1)} \quad (3)$$

$$Q_K = Q_{K-1} + (1 - 2\zeta_K - 1) I_{K-1} 2^{-(K-1)} \quad (4)$$

单元级 80.0 根据 I_{in} 和 Q_{in} 按下式产生 I_0 和 Q_0 :

$$I_0 = (1 - 2\zeta_0) Q_{in} \quad (5)$$

$$Q_0 = (2\zeta_0 - 1) I_{in} \quad (6)$$

而单元级 80.1 根据下式产生 I_1 和 Q_1 :

$$I_1 = I_0 (1 - 2\zeta_1) Q_0 \quad (7)$$

$$Q_1 = Q_0 + (2\zeta_1 - 1) I_0 \quad (8)$$

由于 $(1 - 2\zeta_j)$ 和 $(2\zeta_j - 1)$ 的值可以仅为 +1 和 -1, 所以与 $(1 - 2\zeta_j)$ 和 $(2\zeta_j - 1)$ 的乘积基本上包含表示特定单元级的 Q_{K-1} 和 I_{K-1} 输入最高有效位极性反转和非反转的选择。这些操作用半加器不难实现。通过在移位寄存器中把位移动到右边的 $(K-1)$ 单元级也不难进行与 $2^{-(K-1)}$ 的乘积。

ζ 计算器 82 响应于载频跟踪器 60 产生的 Φ 值, 以产生 $\zeta_0, \zeta_1 \dots \zeta_K \dots \zeta_M$ 的一位值。对于图 3 中所示的具体的结构, 分别把载频跟踪器 60 所得 Φ 的最高有效位和第二最高有效位提供给单元级 80.0 和 80.1 的输入端作为信号 ζ_0 和 ζ_1 。载频跟踪器 60 所得 Φ 值中第三最高有效位(被倒相器 83 反转了极性)和 Φ 值中剩余的位一起提供给 ζ 块 84.2, 它产生单元级 80.2 和 80.3 的输入 ζ_2 和 ζ_3 , 以及多位信号 Φ_4 , 而 Φ_4 的值由块 84.2 的 Φ_2 输入和存储在块 84.2 中的 α_2 和 α_3 值确定。

块 84.2 的 Φ_4 输出提供给锁存器 86.4, 该锁存器与锁存器 81.1—81.(M-2) 同时, 由移相器 66 的输出触发。锁存器 86.4 向 ζ 块 84.6 提供 ζ 块 84.2 的 Φ_4 输出锁存复制信号。 ζ 块 84.4 根据锁存

器 86.4 的输出和存储在其内的 α_4 和 α_5 值产生一位信号 ζ_4 和 ζ_5 , 并分别提供给单元级 80.4 和 80.5 输入端。另外, ζ 块 84.4 根据锁存器 86.4 的输出和存储在 ζ 块内的 α_4 和 α_5 值产生多位信号 Φ_6 。 ζ 块 84.6 的 Φ_6 多位输出提供给锁存器 86.6, 锁存器 86.6 响应于移相器 66 的脉冲, 向 ζ 块 84.6 提供 ζ 块 84.4 的 Φ_6 输出锁存复制信号。 ζ 块 84.6 根据锁存器 86.6 的输出和存储在其内的 α_6 和 α_7 值产生一位 α_6 和 α_7 信号, 这些信号 ζ_6 和 ζ_7 提供给单元级 80.6 和 80.7 的 ζ 输入端。

所有 ζ 块 84.2、84.4 和 84.6 除了存储在其内的值之外, 在结构上均相同。因此, 对 ζ 块 84.2 的描述足以代替对 ζ 块 84.4 和 84.6 的。如图 3 所示, ζ 块 84.2 根据 Φ_2 值产生 Φ_4 、 ζ_2 和 ζ_3 信号。 ζ 块 84.2 包括分别存储表示 $\alpha_2(26.5^\circ)$ 和 $\alpha_3(14.04^\circ)$ 的数字值的预布线多位数字寄存器 88.2 和 88.3。指示极性的寄存器 88.2 和 88.3 所存信号最高有效位翻转极性, 以产生分别表示 $-\alpha_2$ 和 $-\alpha_3$ 的数字值; $-\alpha_2$ 和 $-\alpha_3$ 值分别存储在预布线寄存器 88.2' 和 88.3' 内。存储在寄存器 88.2 和 88.2' 内的数字电平提供给混合器 90.2 的信号输入端, 而存储在寄存器 88.3 和 88.3' 内的信号提供给混合器 90.3 的信号输入端。混合器 90.2 包括响应于 Φ_2 最高有效位的控制输入端, 所以当 Φ_2 的最高有效位二进制值改变时, 与寄存器 88.2 和 88.2' 提供给混合器输入端的数字电平相同的 α_2 和 $-\alpha_2$ 值提供给混合器 90.2 的多位输出。在数字加法器 92.2 中把混合器 90.2 的多位输出和提供给 ζ 计算器 84.2 的 Φ_2 多位值合并, 产生一个等于 Φ_2 和混合器 90.2 的输出之和的 Φ_3 多位输出。加法器 92.2 的 Φ_3 输出中最高有效位连接到混合器 90.3 的控制输入端, 以控制混合器的 α_3 和 $-\alpha_3$ 输入之一与混合器的联接。在数字加法器 92.3 中把混合器 90.3 和加法器 92.2 的多位输出加在一起, 产生 Φ_4 多位输出, 提供给 ζ 块 84.4 的输入端。

Φ_2 和 Φ_3 的最高有效位与提供给混合器 90.2 和 90.3 的控制输入端的值相同分别由反相器 94.2 和 94.3 翻转二进制电平。因此,反相器 94.2 和 94.3 输出一位 Φ_2 和 Φ_3 最高有效位的 2 的补码,以提供值等于 ζ_2 和 ζ_3 的信号。在一个码元时间内必须维持反相器 94.2 和 94.3 的输出恒定;达到这一点是由于把反相器 94.2 和 94.3 的输出提供给锁存器 96.2 和 96.3,而且此二锁存器的触发信号与移相器 66 施加到转换器 54 和 56 的取样脉冲相同。由此,锁存器 96.2 和 96.3 产生恒定二进制值,指示转换器 54 和 56 所进行每次取样间隔 ζ_2 和 ζ_3 。锁存器 96.2 和 96.3 的输出分别提供给单元 ω 80.2 和 80.3 的 ζ 输入。块 84.4 和 84.6 以相似的方法构成,以分别把 ζ_4 — ζ_7 输入提供给单元级 80.4—80.7 的 ζ 输入。

为了解方程式(5)和(6),单元级 80.0 包括分别响应于转换器 54 和 56 产生的 I_m 和 Q_m 信号的乘法器 110 和 112。乘法器 110 和 112 还分别响应于 $(1-2\zeta_0)$ 和 $(2\zeta_0-1)$ 值, $(1-2\zeta_0)$ 和 $(2\zeta_0-1)$ 的值为分别由电路 114 和 116 产生的 ± 1 ,而电路 114 和 116 又响应于 ζ_0 值。实际上,乘法器 110 有 1 二进制半加器,按 ζ_0 的一位值和极性指示 I_m 最高有效位进行模 2 相加。(大量的包括 $(1-2\zeta_K)$ 和 $(2\zeta_K-1)$ 的乘法运算和操作用相似的方法由单元级 80.0—80.M 完成。)乘法器 110 的输出分别提供给单元级 80.0 和 I_0 和 Q_0 输出端。

为了解方程式(7)和(8),单元级 80.1 包括乘法器 118 和 120。该乘法器分别响应于施加给单元级 80.1 输入端的单元级 80.0 的 I_0 和 Q_0 输出。乘法器 118 和 120 还响应于电路 122 和 124 按照 $(2\zeta_1-1)$ 和 $(1-2\zeta_1)$ 计算得到的 ± 1 值,而电路 122 和 124 响应于 ζ_1 值。乘法器 118 所得乘积输出分别提供给加法器 126 和 128 的一个输入端。加法器 126 和 128 的其它输入端分别响应于提供给单元级 80.1 的 Q_0 和 I_0 信号。加法器 126 和 128 分别产生表示 Q_1 和 I_1 的输出信号。

剩余的单元级 $80.2 \cdots 80.K \cdots 80.M$ 相互之间非常相似, 通常取图 3A 的单元级 $80.K$ 电路图所示的形式, 它用于解方程式(3)和(4)。单元级 $80.K$ 响应于单元级 $80.(k-1)$ 的 I_{k-1} 和 Q_{k-1} 输出信号。单元级 $80.K$ 的 I_{k-1} 和 Q_{k-1} 输入信号分别提供给加法器 130 和 132 的一个输入端。移位寄存器 134 通过把单元级 $80.K$ 的 Q_{k-1} 输入向右移动 $(K-1)$ 位, 来产生加法器 130 的其它输入, 移位寄存器 134 的输出提供给乘法器 136 的一个输入端。乘法器 136 剩余的输入为 $(1-2\zeta_K)$ 和电路 138 响应于提供给它的 ζ_K 输入信号所产生的信号一样。乘法器 136 的输出提供给加法器 130 的其它输入。

通过把单元级 $80.K$ 的 I_{k-1} 输入提供给移位寄存器 140, 把 I_{k-1} 信号向右移动 $(K-1)$ 位, 来产生加法器 132 的剩余输入。移位寄存器 140 的输出在乘法器 142 中与电路 144 根据 ζ_K 值产生的信号, $(2\zeta_{K_1})$ 相乘。乘法器 142 的输出提供给加法器 132 剩余的输出端。加法器 130 和 132 分别产生指示 I_K 和 Q_K 的输出信号。

虽然如图 3 所示, 图中的设置包括 $(M+1)$ 个分开的单元级 $80.0-80.M$, 可以理解在最佳实施例中, 使用 $(M+1)$ 个单元级不是必要的。相反, 在最佳实施例中可以使用多个这样的单元级, “最后”一级的输出信号再循环返回到前级, 使需要的硬件最少。

图 4 是码元跟踪器 62 的方块图, 它响应于消旋器 58 的 I 和 Q 输出信号中的一个或两个, 为数字移相器 66 提供一个控制信号, 并对时钟 68 起反应。移相器 66 当取样脉冲加到模一数转换器 54 和 56 时才进行控制。在较佳的实施例中, 消旋器 58 的 I 和 Q 输出信号加到误差度量计算机 150, 后者基本上是比较由模一数转换器 54 和 56 所输出的模拟 I 和 Q 基带信号的邻近取样。根据该邻近的取样值, 判定邻近码元对零点交叉线的大致偏差。实际上, 加到转换器 54 和 56 的每个取样脉冲产生于加到该转换器的每个码元的中心。码元定时误差按下式计算:

$$(\text{标号 } I(K))I(K-1) + (-\text{标号 } I(K-1))I(K) +$$

$$(\text{标号 } Q(K))Q(K-1) + (-\text{标号 } Q(K-1))Q(K) \quad (9)$$

其中, $I(K)$ 为码元 K 的 I 表达式值, $I(K-1)$ 为码元 $(K-1)$ 的 I 表达式值, $Q(K)$ 为码元 K 的 Q 表达式值, 以及 $Q(K-1)$ 为码元 $(K-1)$ 的 Q 表达式值。

一对邻近位的码元定时误差信号, 由误差度量计算器 150 产生, 并提供给数字环路滤波器 152, 后者基本上为一个低通滤波器, 基截止频率为时钟 68 频率的面分之零点几。环路滤波器 152 的输出加到积分器 154, 它用以累加经滤波的码元定时误差值, 以产生一表示实际相移值的信号, 该信号施加于来自时钟 68 的脉冲上, 故取样脉冲在每个码元之后即加到模一数转换器 54 和 56, 其位置大致在每个码元的中心处。积分器 154 的数字输出信号加到数字移相器 156, 后者最好用 Goldenberg 等人共同转让申请中所揭示的那样类型。由时钟 68 加到移相器 156 的脉冲, 其频率略高于加到转换器 54 和 56 的码元的频率。移相器 156 基本上响应于由积分器 154 提供给它的数字控制信号, 延迟所选来自时钟 68 的脉冲, 按所要求的定时将取样脉冲提供给模一数转换器 54 和 56。

图 5 表示码元定时误差量度计算器 150 的一种较佳的配置, 其中包括诸如 I 和 Q 码元定时误差计算信通 160 和 162 等。经信道 160 和 162 传送的码元定时误差计算值在加法器 164 中合成复合的码元定时误差输出信号。因 I 通道 160 和 Q 通道 162 相同, 故仅对 I 计算信通加以描述。图 5 中, Q 通道的相应部件用与 I 通道所用相同的参照号表示, 只是在 Q 通道的每个参照号后添加一个尾标 “.1”。

I 计算信通 160 响应于消旋器计算器 58 对模一数转换器 54 所得取样 K 的 I 输出。信通 160 的输入用 $I(K)$ 表示, 并由延迟单元 166 延迟或具有转换器所加基带信号中相邻码元的时间间隔。延迟

单元 166 由此产生输出信号 $I(K-1)$ ，其数值为模一数转换器取样码元 $(K-1)$ 的函数。上述 $I(K-1)$ 输出加到乘法器 168 的一输入端，其第二个输入端等于 $I(K)$ 的标号，即 $I(K)$ 的极性指示最高有效位的值，为标号检测器 170 所得结果。乘法器 168 的输出按 $(\text{标号 } I(K))I(K-1)$ 加到加法器 172 的一输入端。

加法器 172 的其它输入为等于 $(-\text{标号 } I(K-1))I(K)$ 的数字信号。为此，延迟单元 166 的 $I(K-1)$ 输出的最高有效位通过“一标号”单元 174 变换为二进制数值；而该单元的倒相输出加到乘法器 176 的一输入端。该乘法器第二个输入端的信号等于 $I(K)$ ，其最后产生的输出加到加法器 172 的第二输入端，后者根据下式由此产生输出信号：

$$(\text{标号 } I(K))I(K-1) + (-\text{标号 } I(K-1))I(K) \quad (10)$$

Q 信通 162 响应于数字信号 $Q(K)$ ，并根据下列等式产生类似的输出：

$$(\text{标号 } Q(K))Q(K-1) + (-\text{标号 } Q(K-1))Q(K) \quad (11)$$

I 和 Q 通道 160 和 162 的最终输出在加法器 164 中 ω_1 合，后者根据上述等式(9)产生输出信号，表示一对相邻码元的码元定时误差。

不必在所有例子中都采用 I 和 Q 通道。在某些情况下可以仅用一个通道来产生码元误差校正信号。然而，消旋器 58 的输出最好加到码元跟踪器 62，转换器 54 和 56 的输出就可以直接加到码元跟踪器，以降低输出装置 37 所得信号的分解精度。

现在参阅图 6 所示载频跟踪器 60 的方块图。该跟踪器响应于消旋器 58 的 I 和 Q 输出，而消旋器用来产生一个信号，以表示本机振荡器 21 与加到混频器 14 和 16 的射频信号的抑制载频这两者之间的频率和相位误差。图 6 所示电路包括误差量度计算器 180，它主要比较消旋器 58 I 和 Q 输出的幅度，以根据下式产生信号：

$$(-\text{标号}(Q))(I) + (\text{标号}(I))Q \quad (12)$$

相位误差量度计算器 180 包括乘法器 182 和 184, 其第一输入端分别响应于消旋器 58 的 I 和 Q 输出。乘法器 182 的第二输入响应于 $(-\text{标号}(Q))$ (例如由标号检测器 186 产生), 而乘法器 184 的第二输入则等于 $(\text{标号}(I))$, 例如由标号检测器 188 产生。乘法器 182 和 184 的输出在加法器 190 中 ω_1 合, 并根据上述等式 (12) 产生输出信号。因此, 加法器 190 的输出表示本机振荡器 21 与施加到混频器 14 和 16 的载频之间的总的相位误差。

相位误差量度计算器 180 的输出信号加到低通环路滤波器 192, 其截止频率在时钟 68 频率的百分之零点几与百分之几之间。环路滤波器 192 的输出在积分器 194 中累积, 其输出信号表示相位校正 Φ , 被加到消旋器 58。

现在参见图 7 所示自动增益控制器 68 的方块图, 该控制器用于可变增益放大器 23 和 25, 使加到模—数转换器 54 和 56 的基带交流信号振幅受到控制。从根本上来看, 图 7 所示的电路确定了 I 或 Q 信号最大值的幅度, 将该幅度与基准值比较, 并将已整形的所得误差信号加到如以上 Agrawal 所揭示的一位 $\Sigma-\Delta$ 调制器。该调制器产生一串、宽度固定频率可变的脉冲, 经一个低通滤波器平均后提供一模拟输出信号, 作为增益控制信号加到放大器 23 和 25。由于能比较价廉地达到与 8 至 10 位数—模转换器 42 所能达到的几乎相同的分解精度, 故将一位 $\Sigma-\Delta$ 调制器用作数—模转换器是相当有利的。

至此, 再将由消旋器 58 产生的 I 和 Q 信号, 或转换器 54 和 56 和 I_{in} 和 Q_{in} 输出分别加到绝对值电路 196 和 198; 在所述实施例中, 消旋器的输出被加到绝对值电路。绝对值电路 196 和 198 从 I 和 Q 信号中消去表示极性的最高有效位, 然后将它们送到比较器 200。比较器 200 选择具有最大幅度的 I 或 Q 信号, 并从基准值中将它减

去,该基准值与模一数转换器 54 和 56 的模拟输入的最大幅度(A)有关。由此产生的数字误差信号送到低通环路滤波器 202,其截止频率为时钟 68 频率的百分之几。环路滤波器 202 的输出送至一位 Σ - Δ 调制器 204,它包含在与电路 58、60 和 62 相同的集成电路芯片中。 Σ - Δ 调制器 204 产生一串频率可变的恒幅脉冲,经低通滤波器 70 平均成一幅度可变的模拟信号,作为增益控制信号提供给可变增益放大器 23 和 25。

图 8 表示用以定时脉冲加到模一数转换器 54 和 56 时进行控制的一种替换的实施例。图 8 与图 4 相同,它们都包含图 5 中所示的码元误差量度计算器 150,用以驱动环路滤波器 152。然而,图 8 所示的电路并不包括时钟信号源 68 和数控移相器 66。而代之以将滤波器 152 的输出送到一位 Σ - Δ 调制器 206,后者包含在与电路 58、60 和 62 相同的集成电路芯片中。调制器 206 输出一串变频恒幅脉冲,送到低通滤波器 208,后者的模拟输出送到压控振荡器 210 的频率控制输入端。压控振荡器 210 产生一输出,其频率大致等于加到模一数转换器 54 和 56 的码元的频率。振荡器 210 的输出送至转换器 54 和 56 的时钟输入端,使转换器取样其上所加基带模拟信号,每码元取样一次,最好在每个码元的中心取样。

以上尽管描述和说明了本发明的多个特定的实施例,但显然可以在不脱离本发明所附权利要求书限定的实质精神和范围内,对上述详细描述的各个实施例作出种种变换。

说明书附图

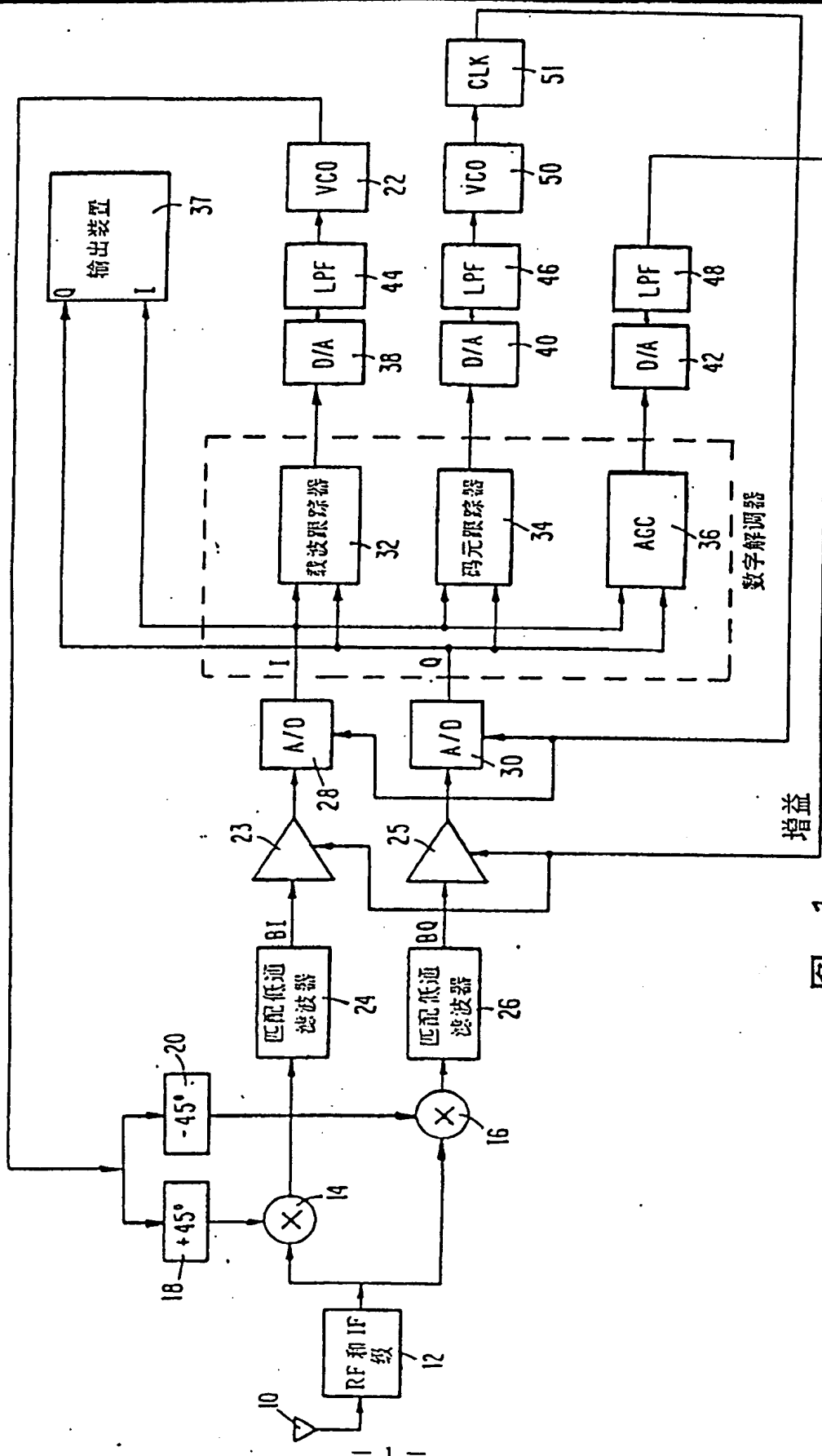


图 1

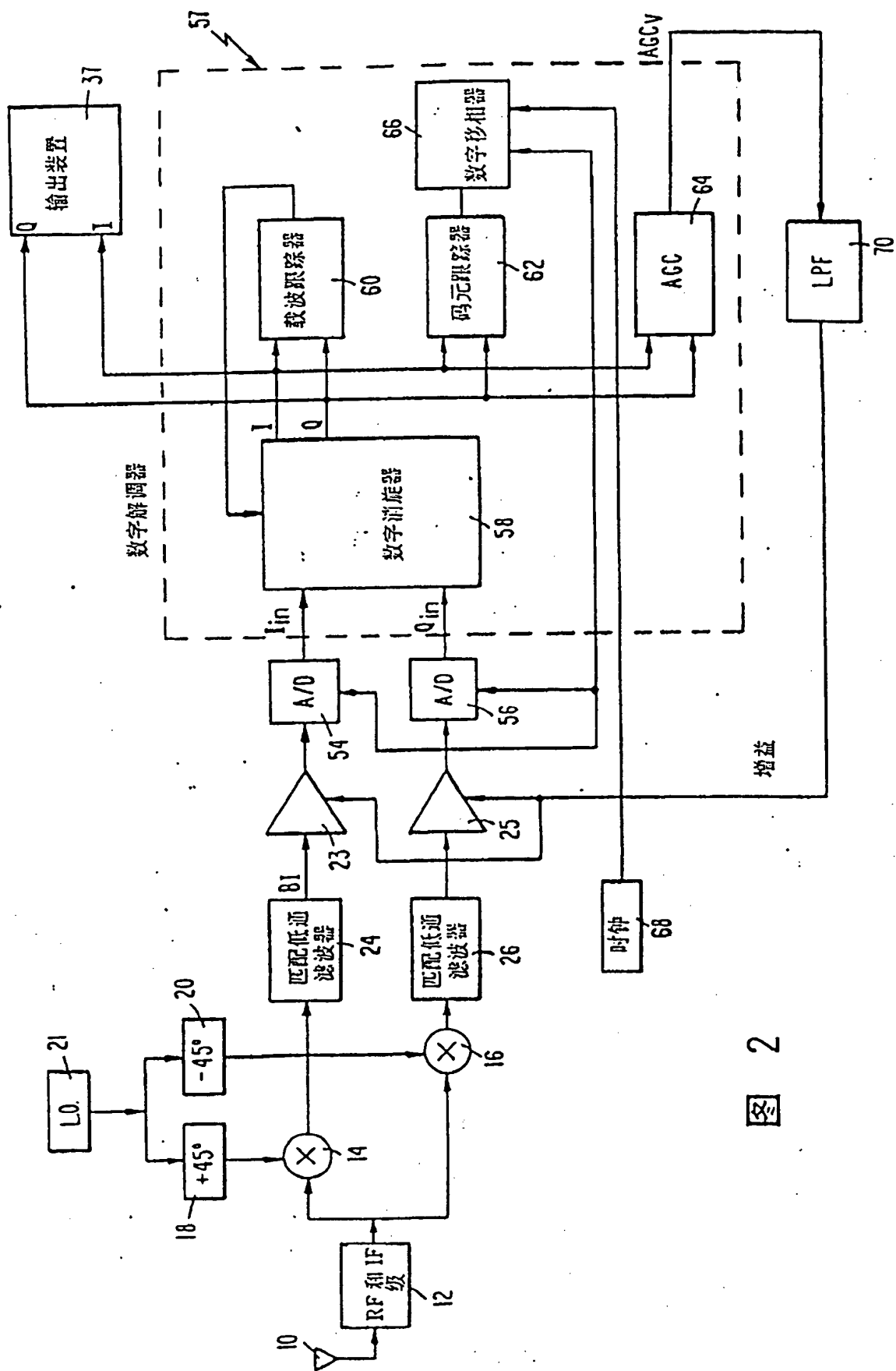
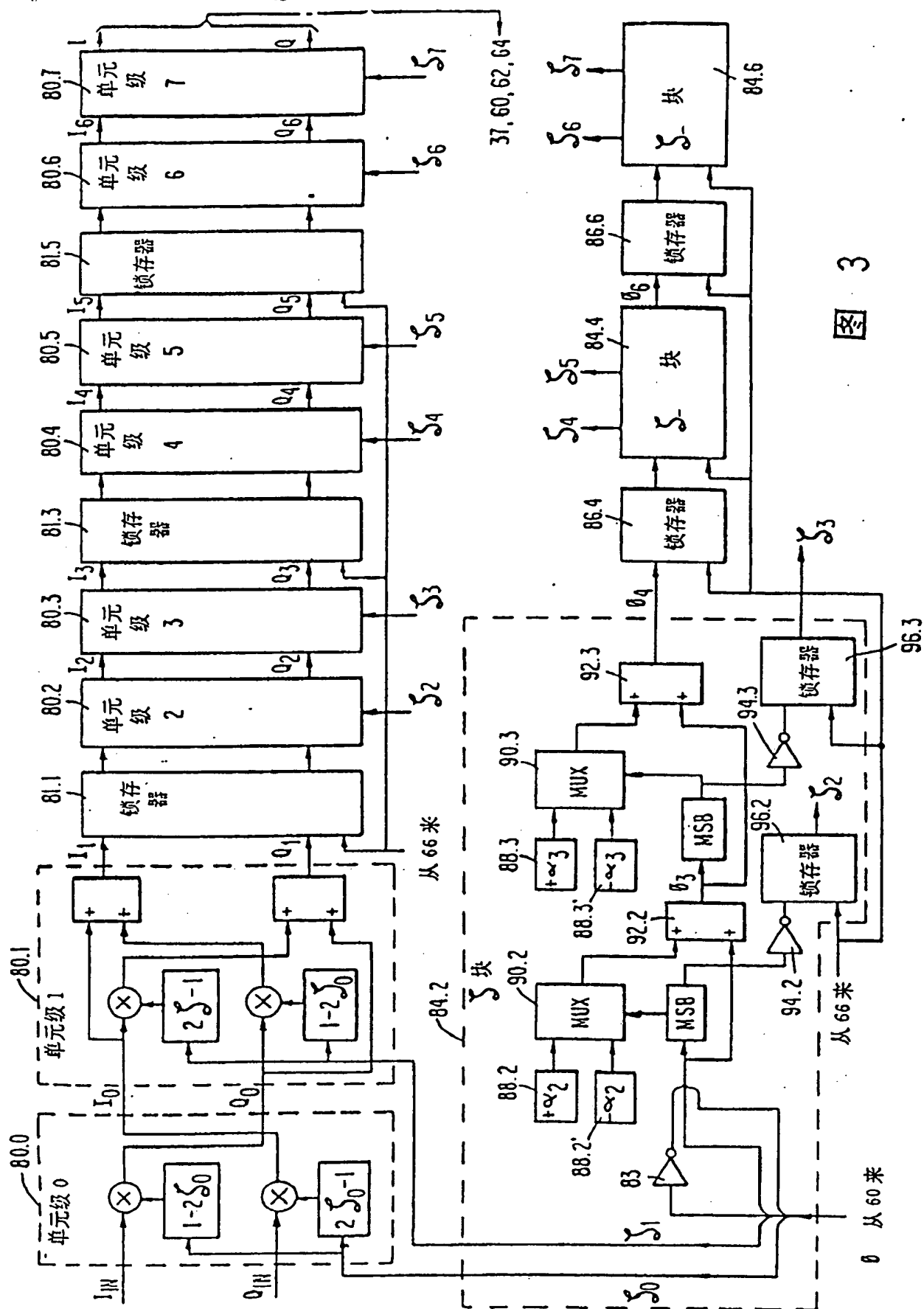


图 2



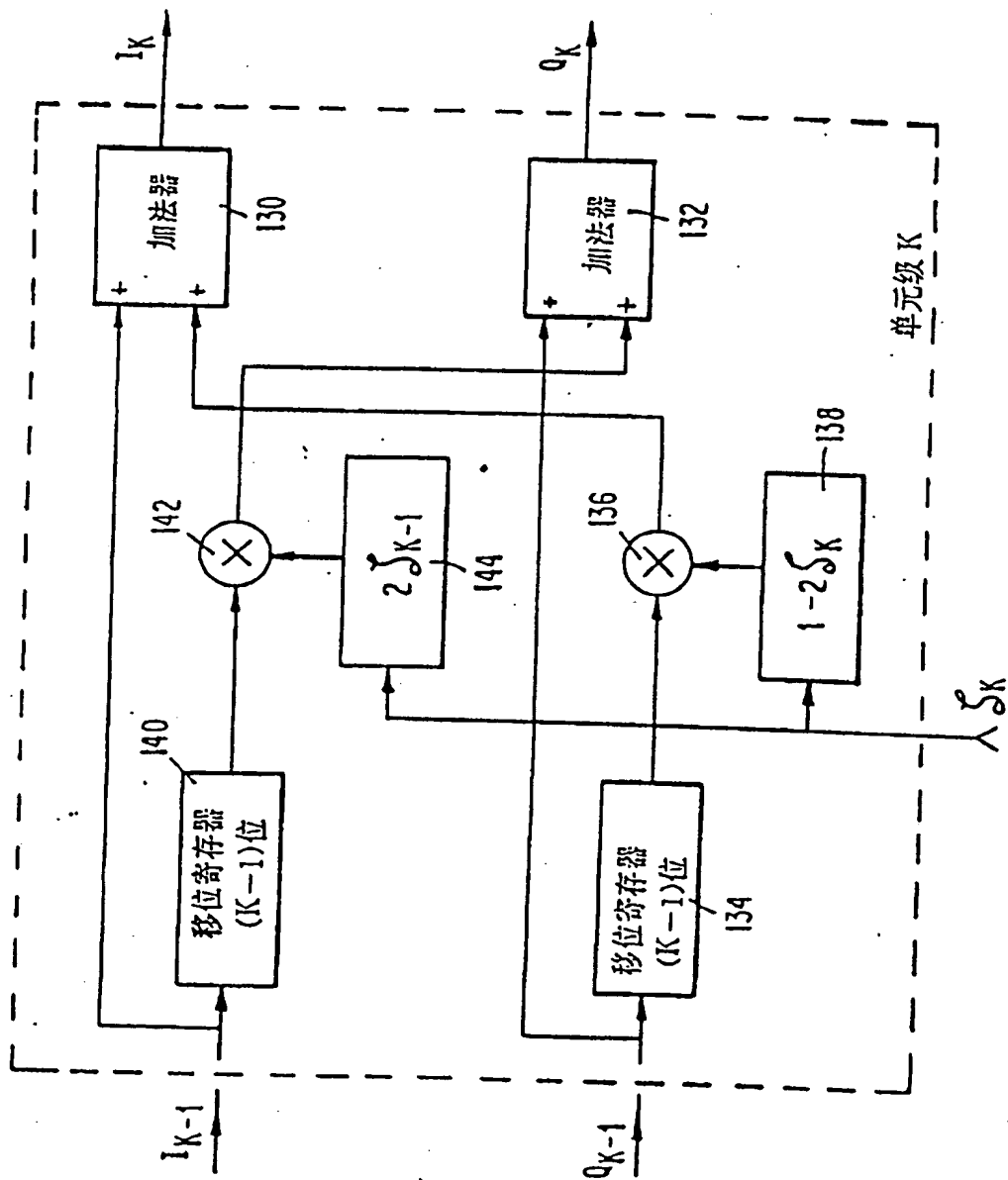


图 3A

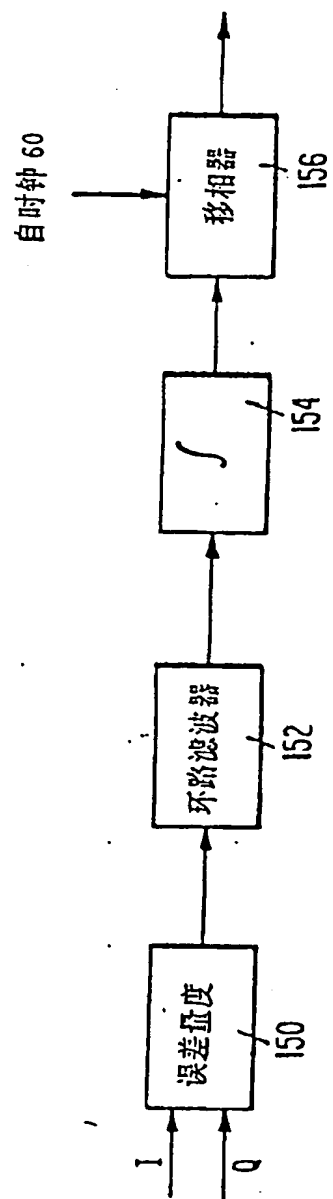


图 4

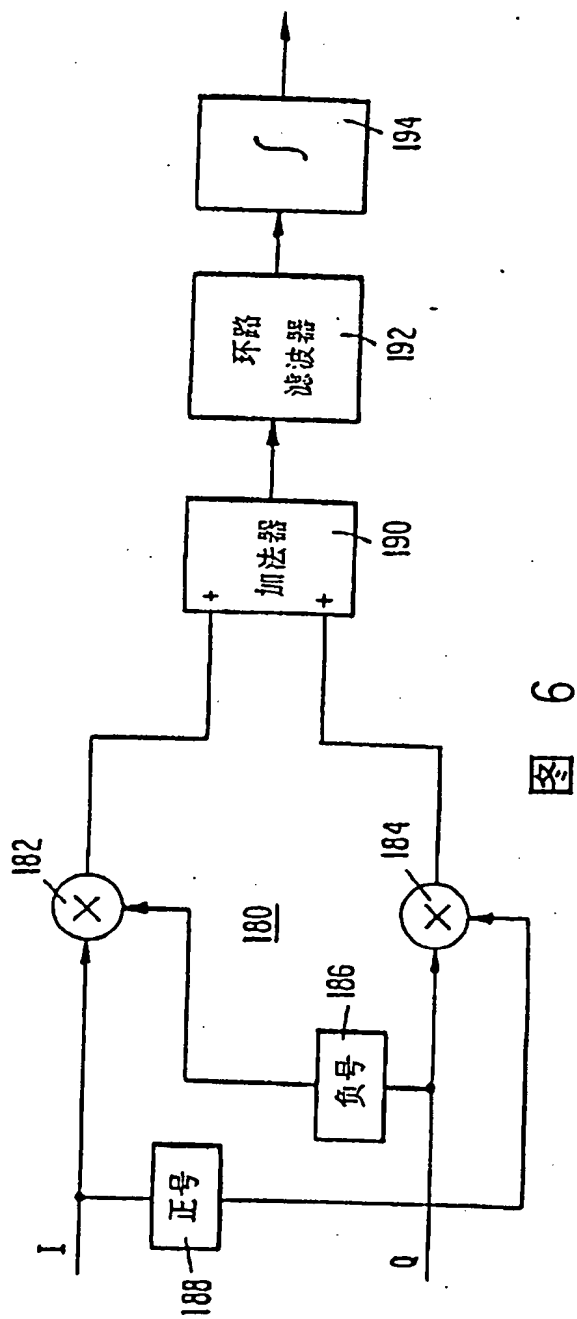


图 6

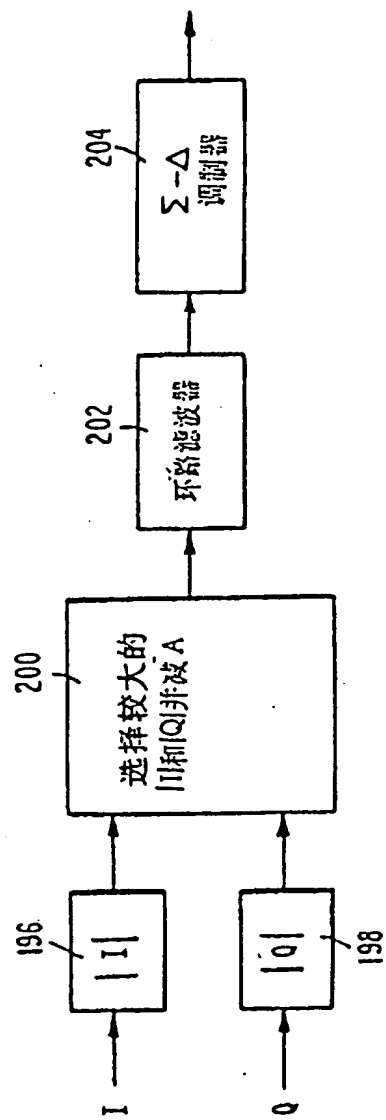


图 7

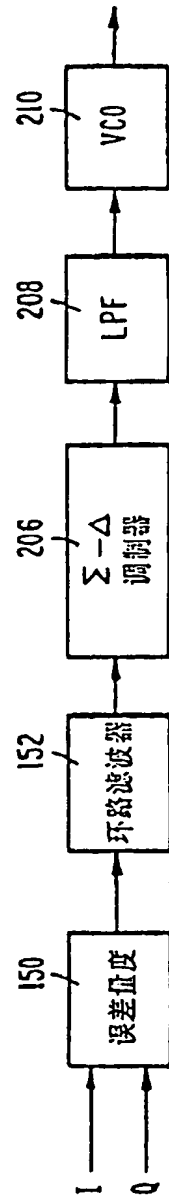


图 8